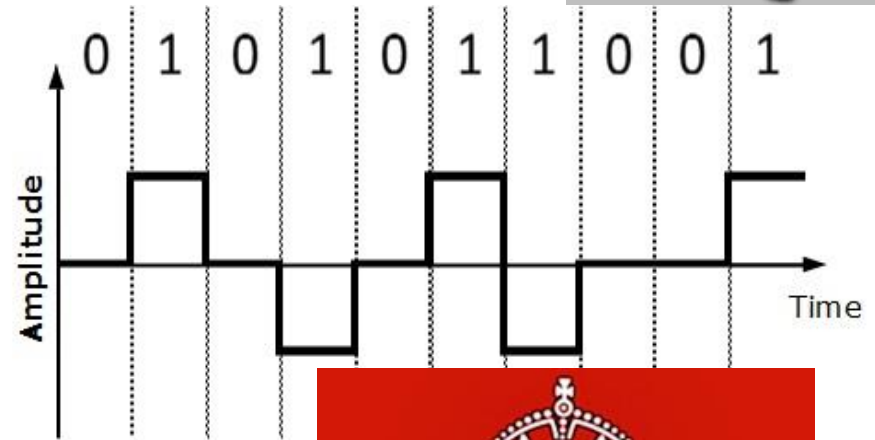
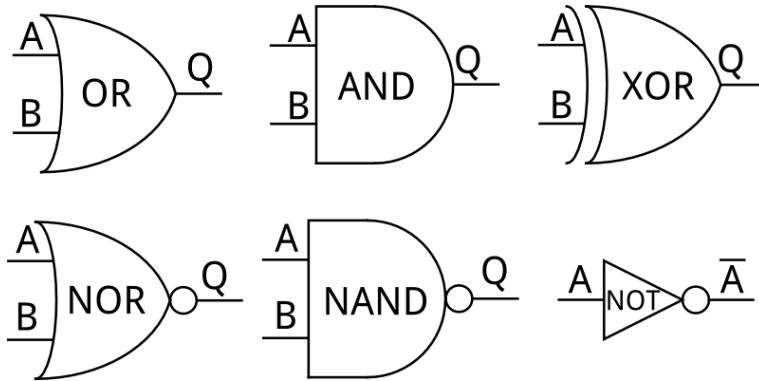


Proiectare Logica

Digital Logic Design

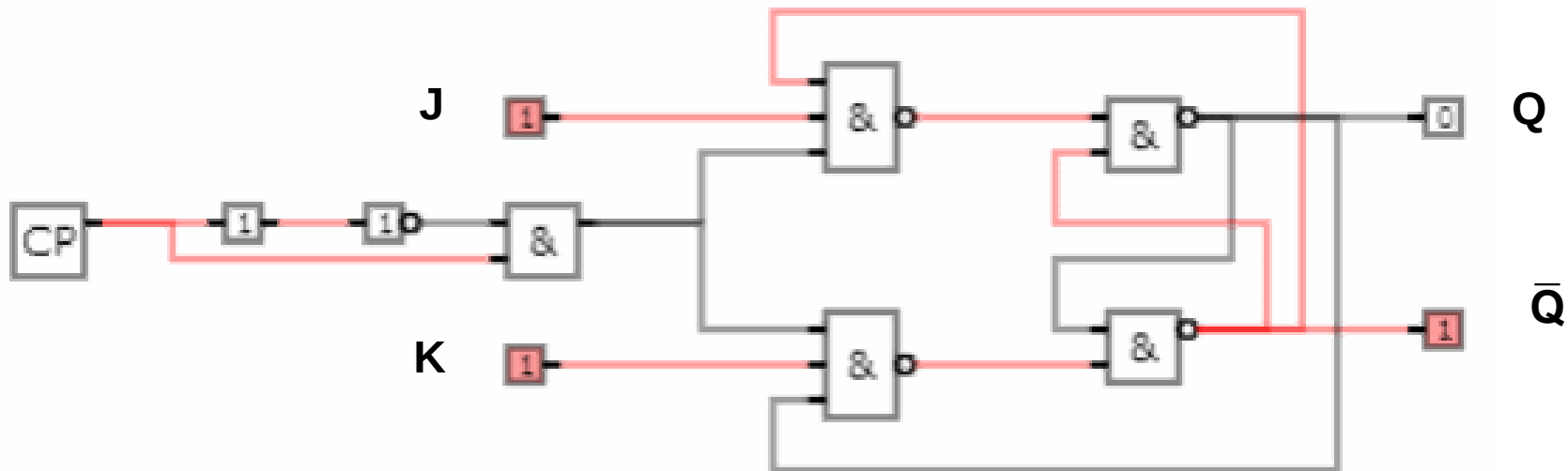
website: cnic.ro



Exercitiul 4

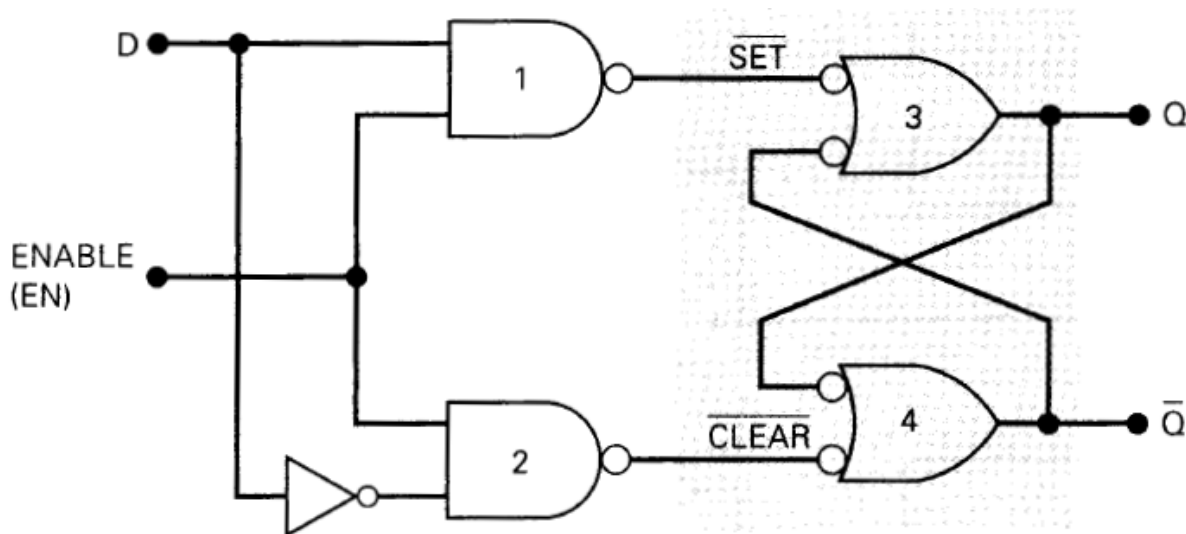
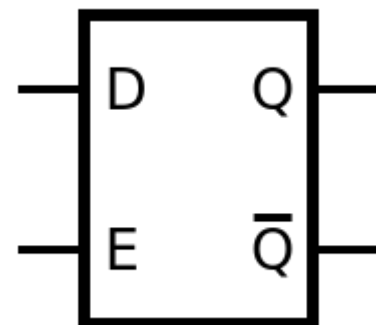
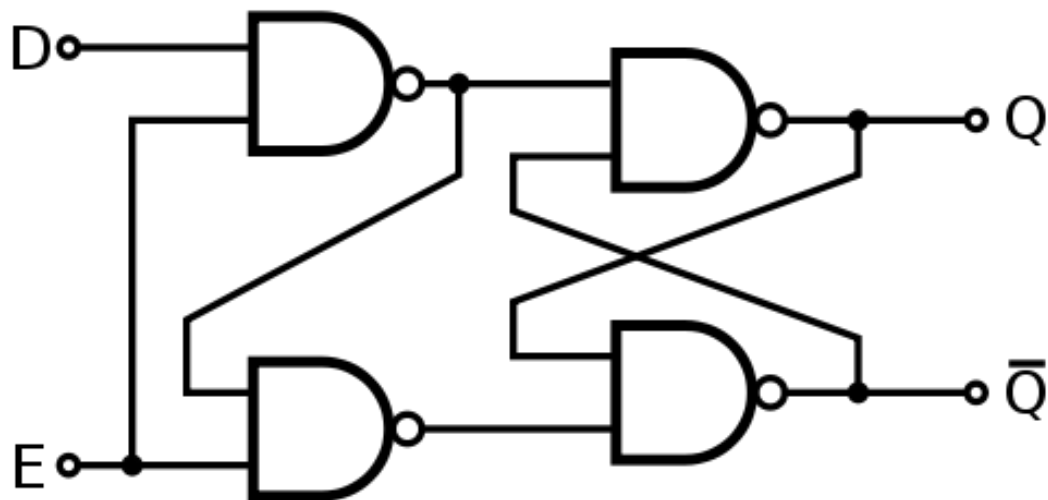
Implementati si incapsulati in wronex:

- Bistabilul de tip JK
- Incercati sa intelegeti de ce in anumite situatii acest circuit oscileaza folosind NAN-uri urmate de linii de intarziere



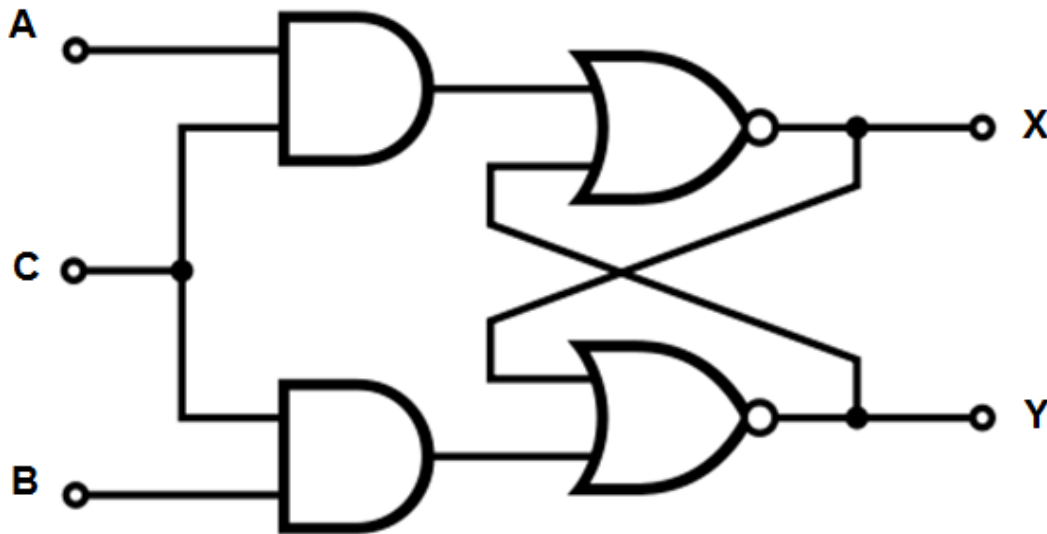
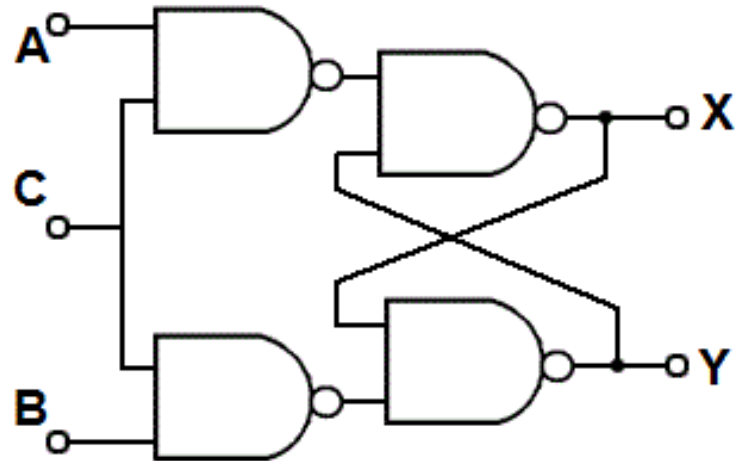
Exercitiul 5

Comparati functionarea celor 2 LATCH-uri folosind linii de intarziere



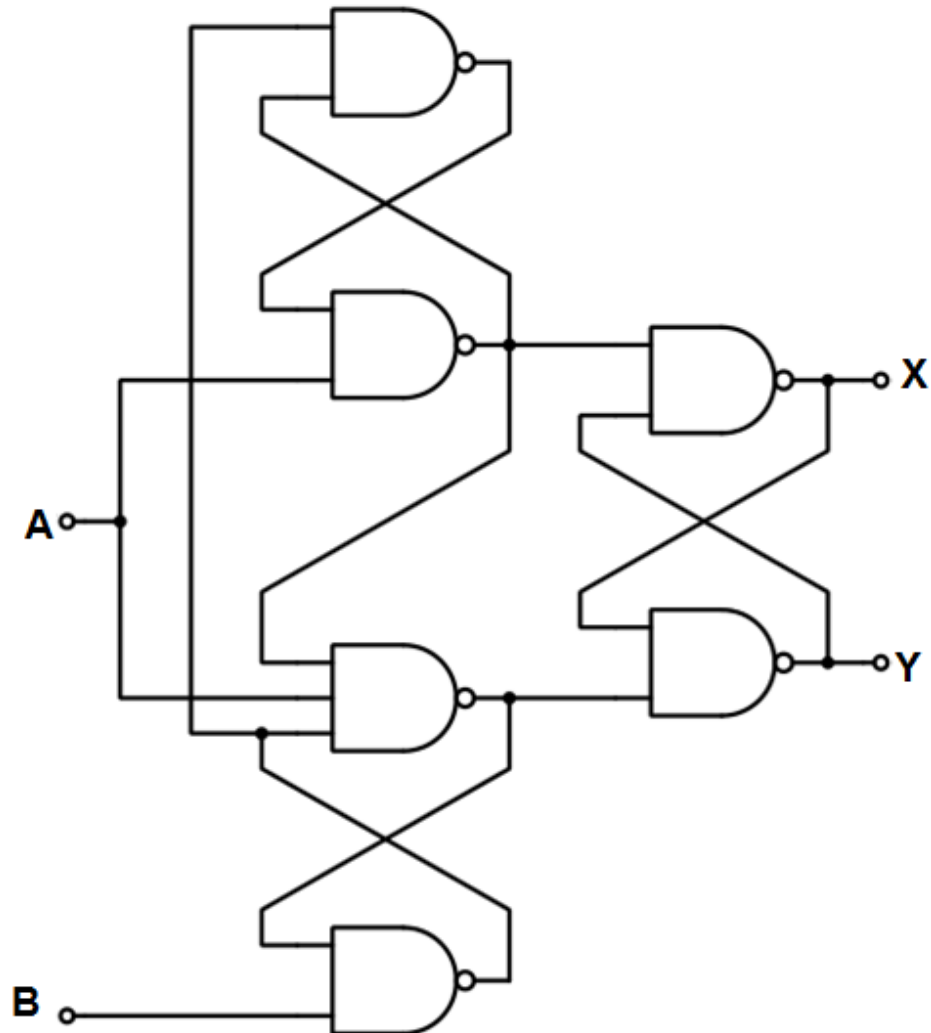
Implementati in wronex

- Scrieti tabela de adevar.
- Scrieti functiile analitice ce descriu functionarea circuitelor.



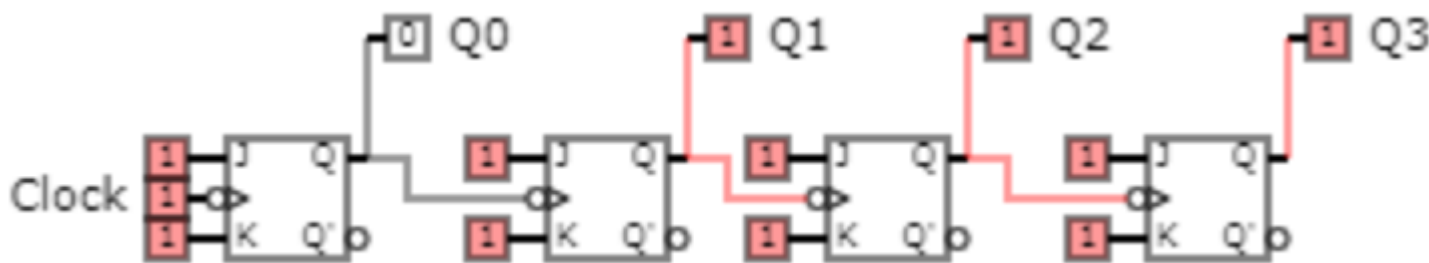
Implementati in wronex

- Scrieti tabela de adevar
- Scrieti functiile analitice ce descriu functionarea



Numarator asincron pe 4 biti

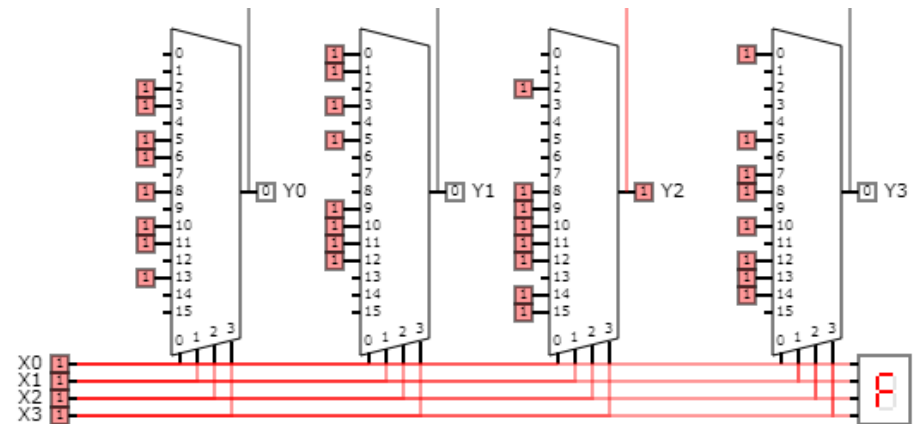
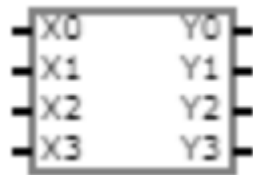
- Implementati in wronex numartoarul asincron pe 4 biti:



- Puneti 2 afisoare la iesire: unul legat la iesirile Q_x , iar celalalt la iesirile Q'_x
- Puneti la intrarea Clock un CP (Clock Pulse -generator de ceas)
- Observati cum numara cele 2 indicatiile celor 2 afisoare.

Cifrator pe 4 biti

- Implementati in wronex un "gate" din 4 MUX-uri care sa arate incapsulat asa:



Care sa traduca valorile de la intrare

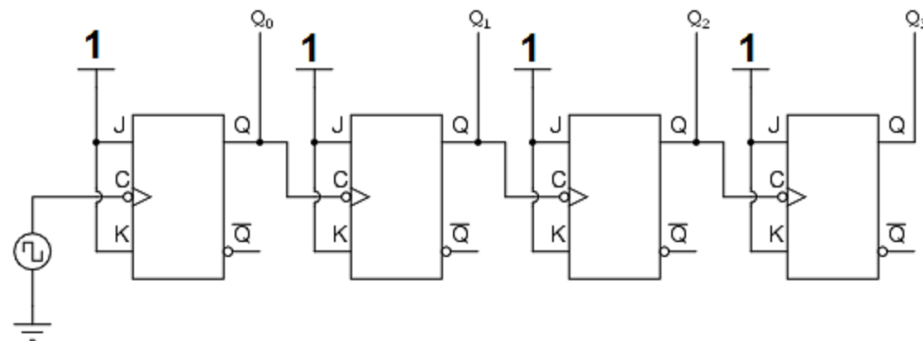
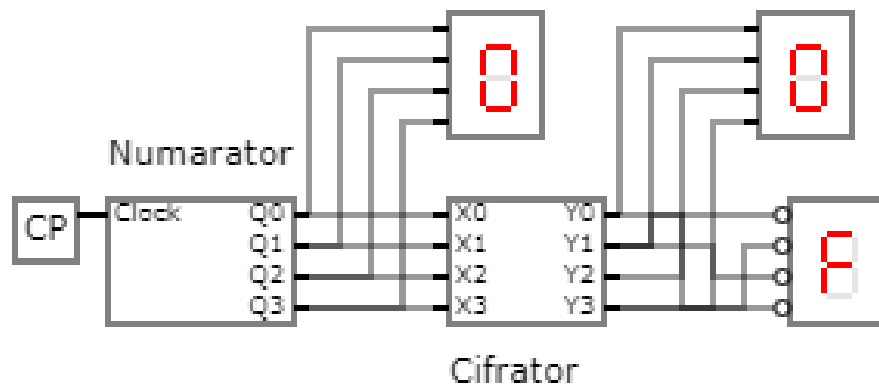
X=00-01-02-03-04-05-06-07-08-09-10-11-12-13-14-15

In urmatoarele valori la iesire

Y=10-02-05-03-00-11-01-08-13-06-15-07-14-09-12-04

NR + Cifrator in wronex

- Un numarator numara conform diagramei 10-2-5-3-0-11-1-8-13-6-15-7-14-9-12-4-10. Daca intrarile unui afisor cu 7 segmente este conectat astfel incât : $I_0 = !Q_2$, $I_1 = !Q_3$, $I_2 = !Q_1$ si $I_3 = !Q_0$ **ce ordine de numarare va indica acest numarator?**



- INDICATIE : Implementati un NR asincron ca in schema de mai sus. Implementati un gate (cifrator) cu 4 intrari si 4 iesiri folosind 4 MUX-uri 4-1, care sa converteasca 0-10; 1-2; 2-5;... ;15-4. Conectatiile impreuna (NR->Cifrator) iar iesirile Cifratorului sa fie legate la un afisor cu 7 segmente ca in indicatiile din problema

Problema ca la examen NR asincron

- Fie un sistem de 4 BB de tip JK adusi in regim de toggle, numerotati de la 0-3, ale caror intrari de CK au polaritatile: $+ - + -$. Sistemul devine un numarator daca facem urmatoarele conexiuni: $CK0=Q1$; $CK1=Q3$; $CK2=CLOCK$; $CK3=!Q2$.
- Desenati schema electronica a acestui numarator.
- Simulati in wronex aceasta schema. Folositi BB JK cu S si R.
- Desenati formele de unda (**folosind aceasta pagina**) pentru semnalele CLOCK, Q0, Q1, Q2 si Q3 pentru 17 perioade ale semnalului de ceas, incepand cu starea 4 pe semiperioada cand semnalul de clock este L.

Problema ca la examen NR sincron

Fie 3 BB de tip JK, numerotati de la 0-2, avand polaritatile semnalelor CK $-+-$. Acest sistem devine un numarator daca semnalul CLOCK este legat la toate semnalele CK ale bistabilelor si sunt facute urmatoarele conexiuni: $J_0=1$; $K_0=\neg Q_1$; $J_1=Q_2$; $K_1=Q_0$; $J_2=Q_0$ si $K_2=\neg Q_1$.

1. Desenati schema electronica a acestui numarator.
 2. Desenati formele de unda pe caiet pentru semnalele CLOCK, Q_0 , Q_1 si Q_2 pentru 6 perioade ale semnalului de clock, incepand cu starea 2 pe semiperioada cand semnalul de clock este L. (6p)
- Simulati in wronex aceasta schema. Folositi BB JK cu S si R.
 - Desenati formele de unda (**folosind [aceasta pagina](#)**) pentru semnalele CLOCK, Q_0 , Q_1 , Q_2 .

Problema ca la examen

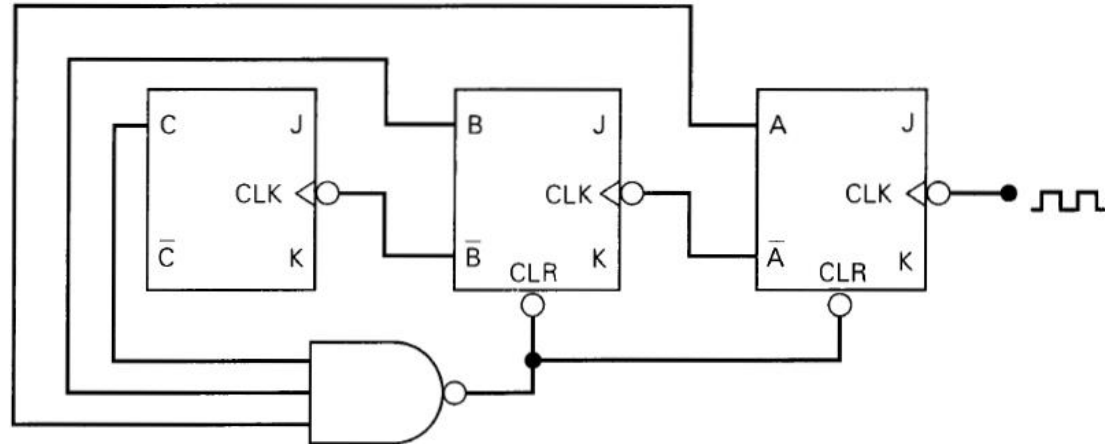
Fie 3 BB de tip JK, numerotati de la 0-2, avand polaritatile semnalelor CK -+++. Acest sistem devine un numarator daca semnalul CLOCK este legat la toate semnalele CK ale bistabilelor si sunt facute urmatoarele conexiuni: $J_0=1$; $K_0=\neg Q_1$; $J_1=Q_2$; $K_1=Q_0$; $J_2=Q_0$ si $K_2=\neg Q_1$.

1. Desenati schema electronica a acestui numarator.
 2. Desenati formele de unda pe caiet pentru semnalele CLOCK, Q0, Q1 si Q2 pentru 6 perioade ale semnalului de clock, incepand cu starea 6 pe semiperioada cand semnalul de clock este H. (6p)
- Simulati in wronex aceasta schema. Folositi BB JK cu S si R.
 - Desenati formele de unda (**folosind [aceasta pagina](#)**) pentru semnalele CLOCK, Q0, Q1, Q2.

Studiu

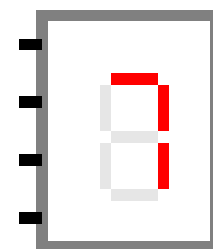
TEMA: Simulati in Wronex folosind linii de intarziere pentru semnalele de clock dintre bistabile numparatorul din schema alaturata! Toate JK-urile sunt in 1.

- Identificati ordinea de numarare!

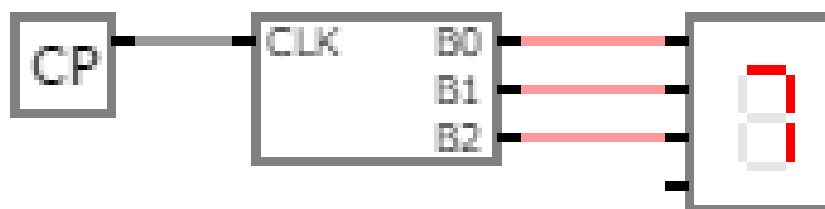
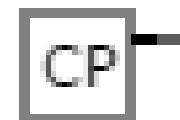


Simulati in wronex urmatoarele circuite

Lucrul cu numaratoare:
Folositi Afisorul cu 7 segmente si
Generatorul de CLOCK
si incapsulati schemele pentru a
putea fi folosite cu Add as gate

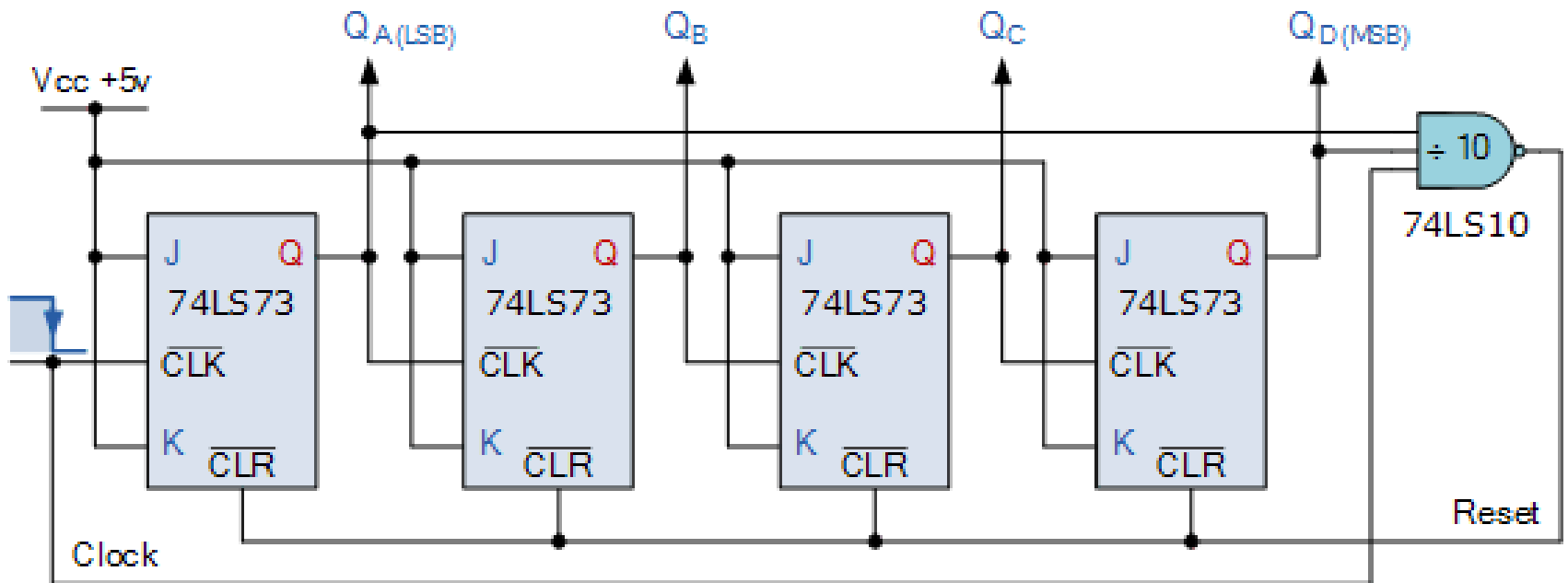


CLOCK



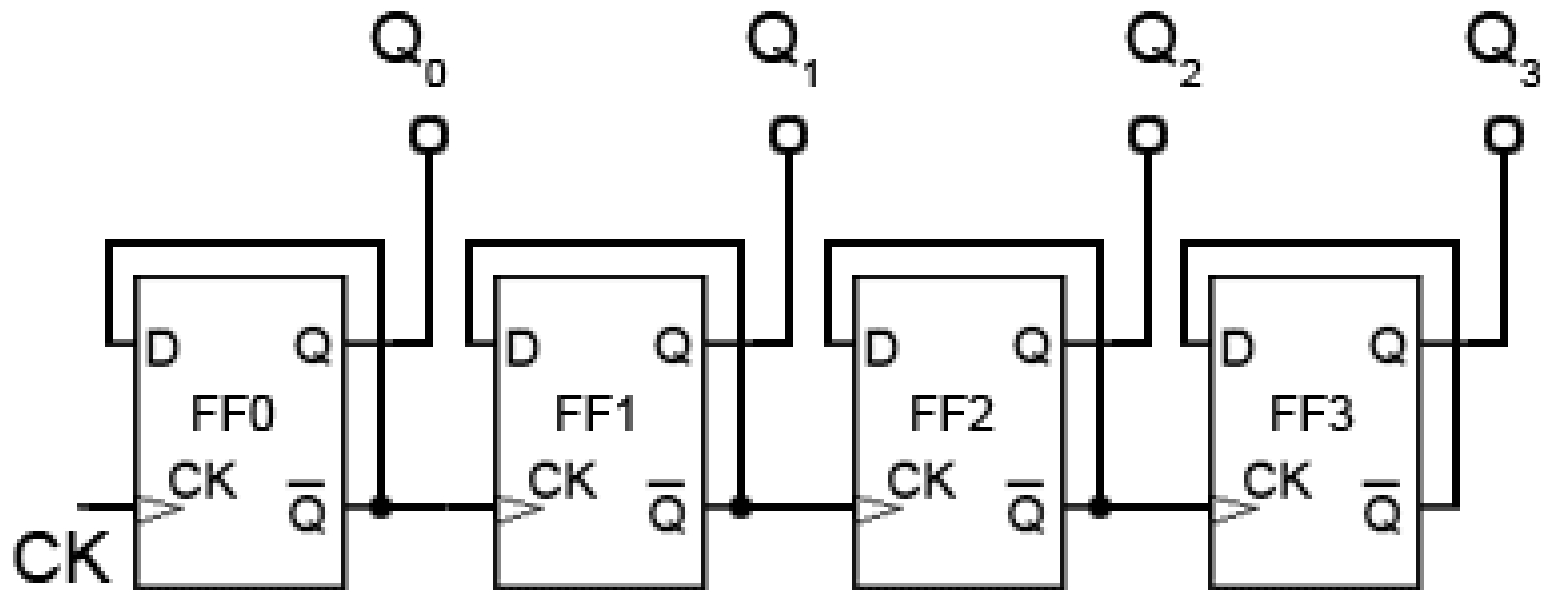
1

- Cu BB de tip JK



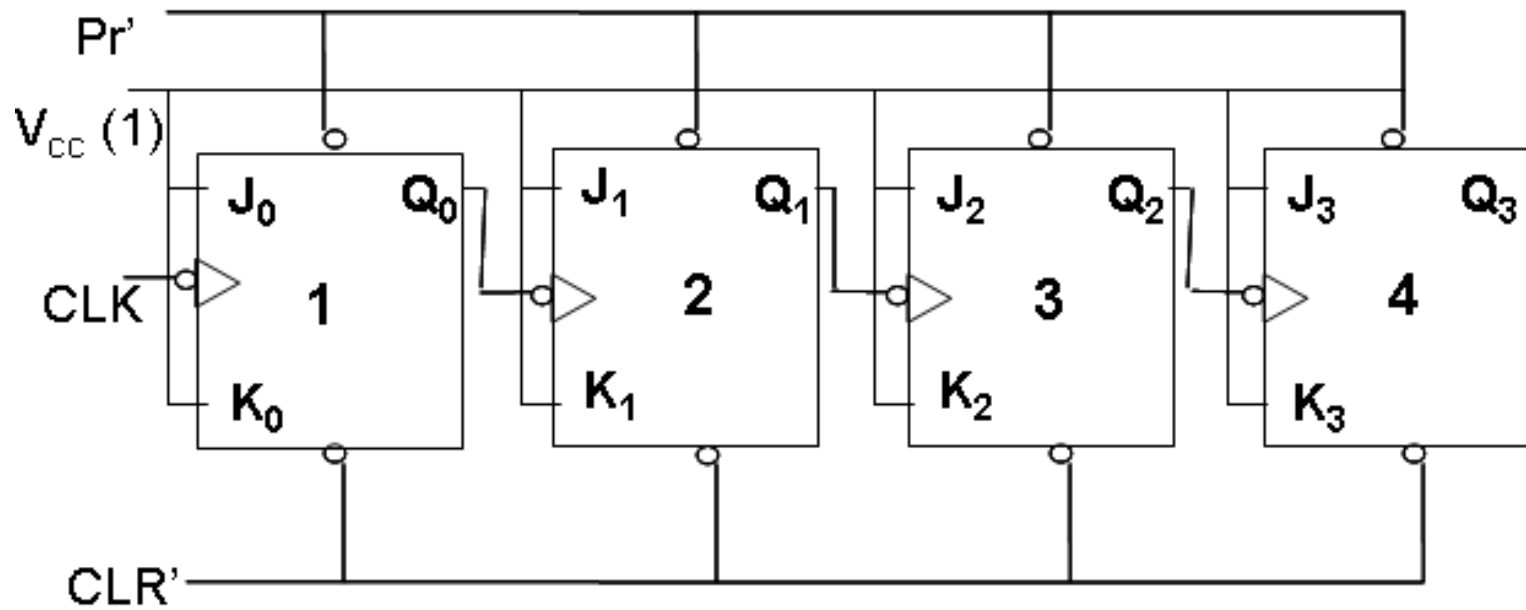
2

- Cu BB de tip D



3

- Cu BB de tip JK



4

- Cu BB de tip JK

